



UNIVERSIDAD AUTÓNOMA DEL ESTADO DE MÉXICO

UNIDAD ACADÉMICA PROFESIONAL TIANGUISTENCO

PROGRAMA DE ESTUDIOS: LICENCIATURA EN INGENIERÍA EN SOFTWARE

UNIDAD DE APRENDIZAJE: LÓGICA DIGITAL

Unidad de competencia II. Circuitos combinacionales.

Temas :

II.5 Circuitos lógicos de mediana escala de integración.

Créditos institucionales de la UA: 8

Material visual: Diapositivas

ELABORADO POR: JOSÉ LUIS TAPIA FABELA.

AGOSTO DE 2016.

Objetivo de la Unidad de Aprendizaje

- El propósito de la Unidad de Aprendizaje es diseñar circuitos digitales mediante el uso de técnicas de análisis y diseño de sistemas digitales así como los teoremas que apoyen el análisis de circuitos.

Objetivo de la Unidad Temática

- Analizar y diseñar circuitos lógicos combinacionales empleando circuitos integrados de pequeña y mediana escala de integración.

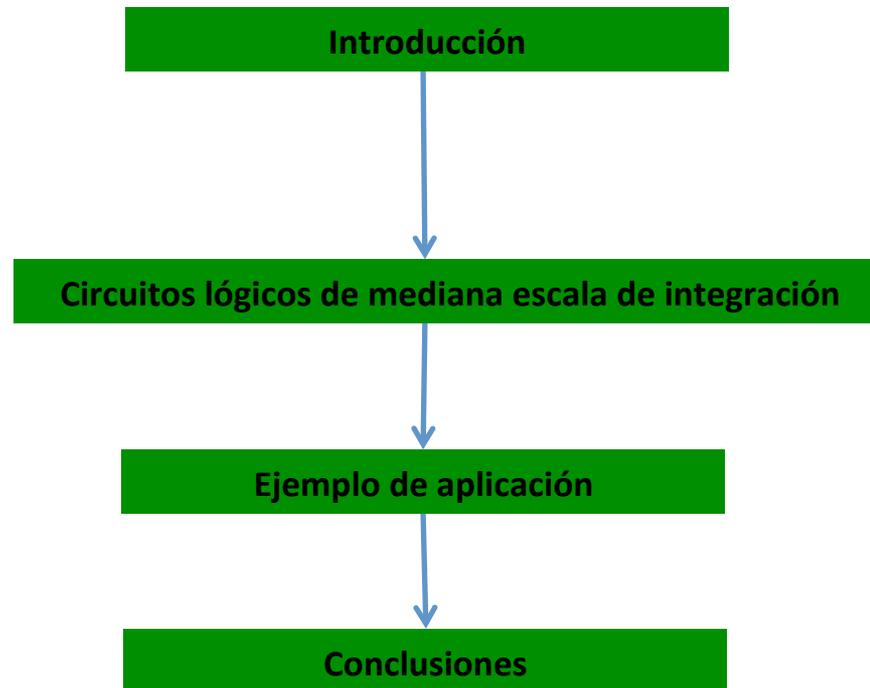
Competencias genéricas de la Unidad de Aprendizaje

- Conocer y aplicar de manera eficiente y eficaz los métodos de análisis y solución de circuitos digitales, el funcionamiento y aplicación de estos en la solución de problemas prácticos de su vida profesional.
- Poseer los conocimientos necesarios y suficientes que le permitan continuar con los estudios en las áreas subsecuentes como programación de microcontroladores.

Prerrequisitos

- Los prerrequisitos que debe cumplir el estudiante para comprender apropiadamente el tema desarrollado son conocimientos de: física básica, circuitos eléctricos y matemáticas.

Contenido



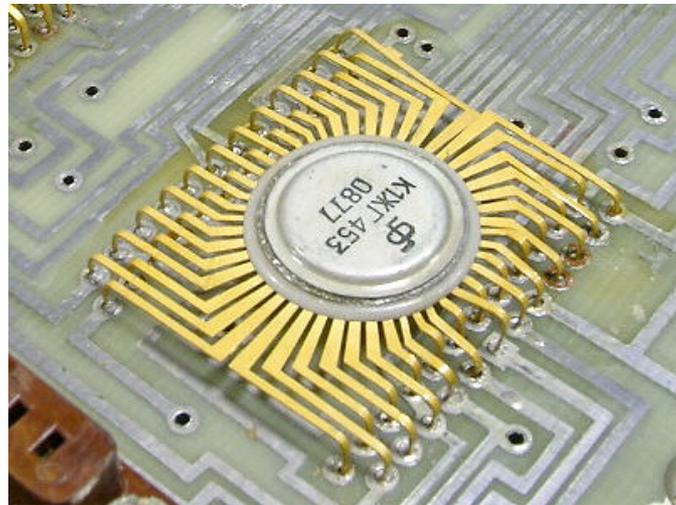
Organización de la presentación

- Introducción
- Circuitos lógicos de mediana escala de integración
- Ejemplo de aplicación
- Conclusiones

II.5 Circuitos lógicos de mediana escala de integración

Introducción

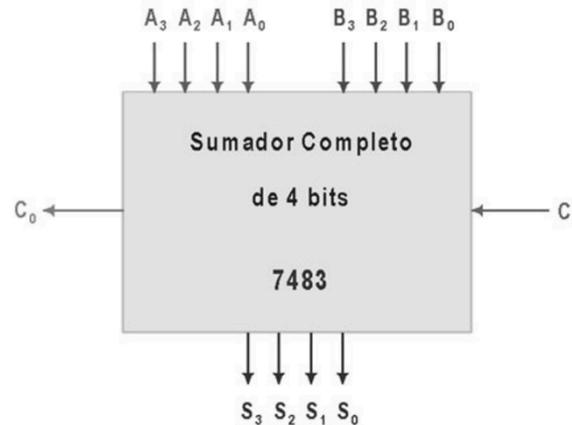
- En este material se presentan distintos tipos de circuitos combinatoriales incluyendo: sumadores, decodificadores, comparadores, codificadores, multiplexores, demultiplexores.



Sumadores básicos

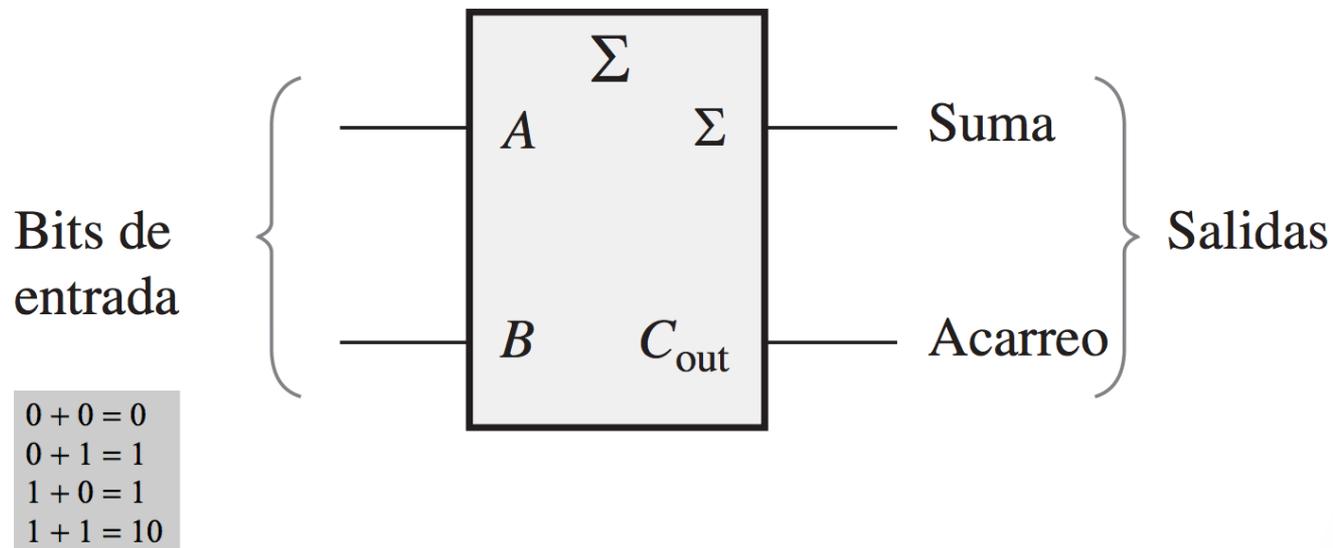
- Los sumadores son muy importantes en los sistemas en los que se procesan datos numéricos. Las reglas básicas de la suma binaria son:

$0 + 0 = 0$
 $0 + 1 = 1$
 $1 + 0 = 1$
 $1 + 1 = 10$

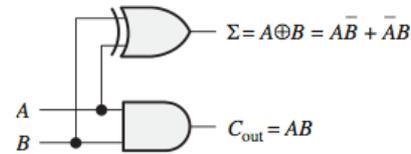
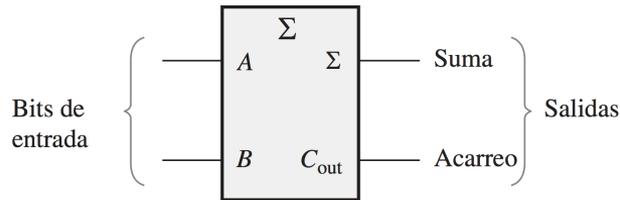


Semi-sumador

- Un semi-sumador admite dos dígitos binarios en sus entradas y genera dos dígitos binarios en sus salidas: un bit de acarreo. Se representan como la figura.



Lógica del semisumador



<i>A</i>	<i>B</i>	<i>C</i>_{OUT}	<i>Σ</i>
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

Σ = suma
 C_{out} = acarreo de salida
 A y B = variables de entrada (operandos)

El sumador completo

- Un sumador completo tiene un acarreo de entrada a diferencia del semisumador

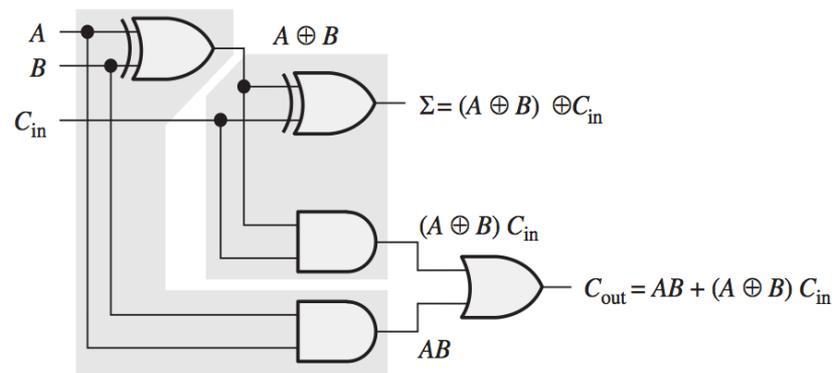
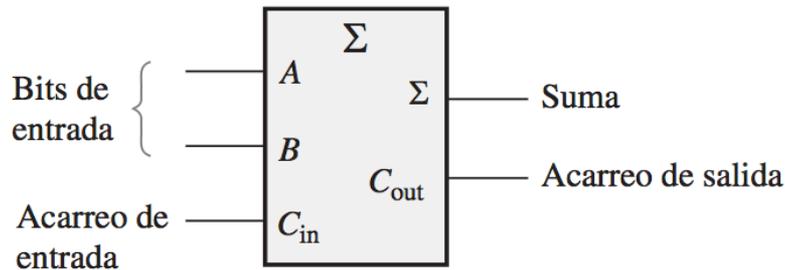
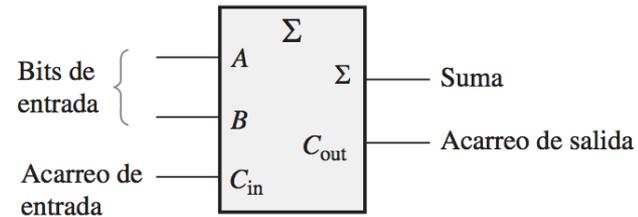


Tabla de verdad de un sumador

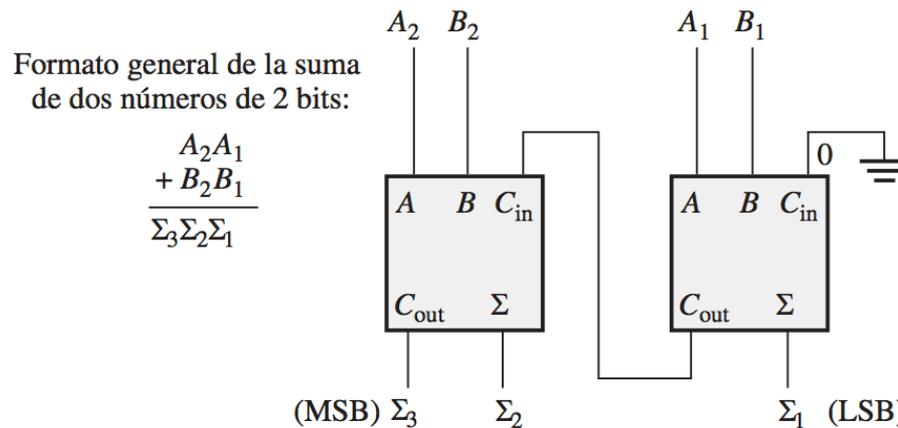
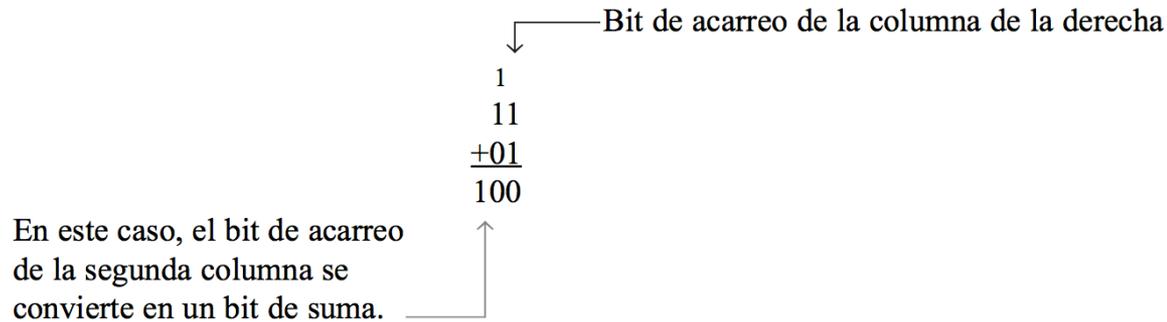


A	B	C_{in}	C_{OUT}	Σ
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

C_{in} = acarreo de entrada. Algunas veces se designa como CI .
 C_{out} = acarreo de salida. Algunas veces se designa como CO .
 Σ = suma
 A y B = variables de entrada (operandos)

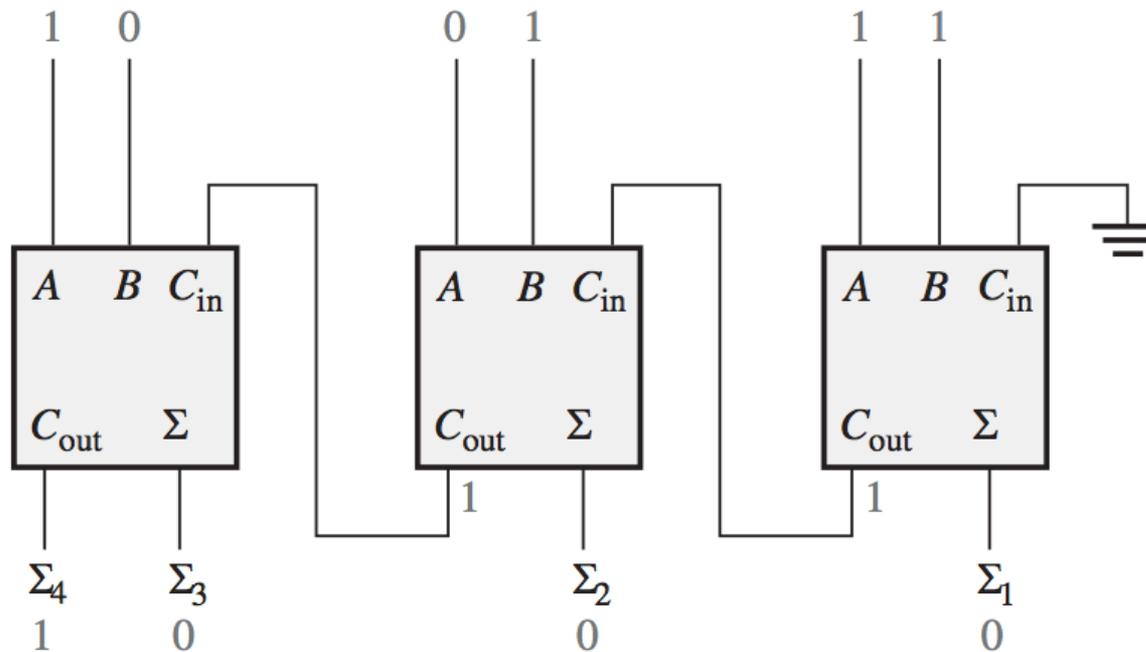
Sumadores binarios en paralelo

- Para formar un sumador binario en paralelo se conectan dos o más sumadores completos

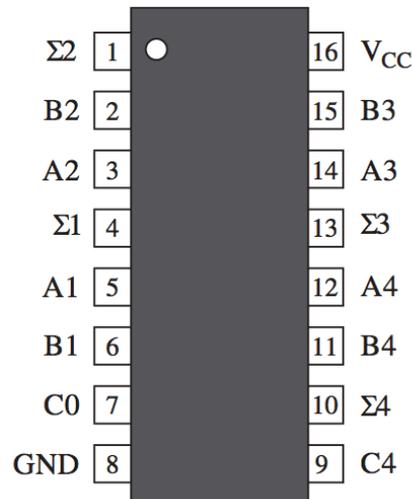
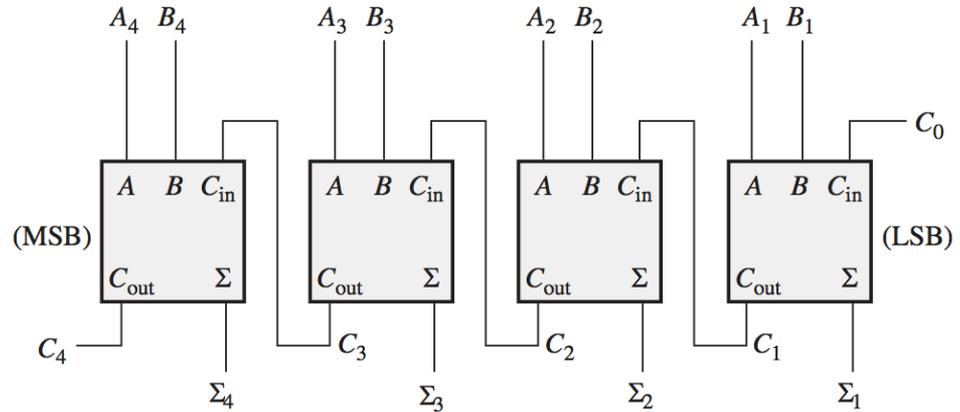
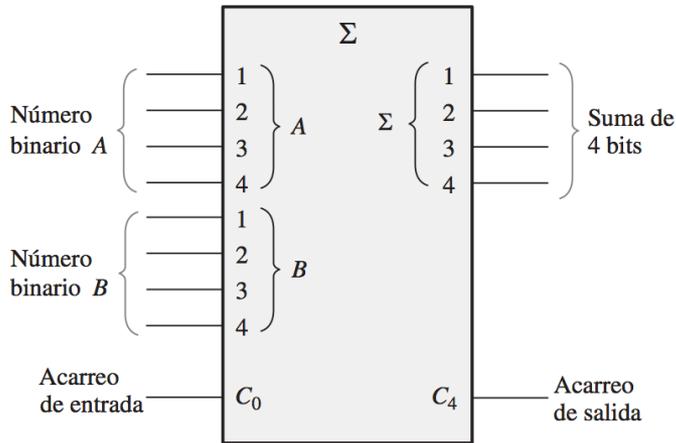


Ejemplo con un sumador completo

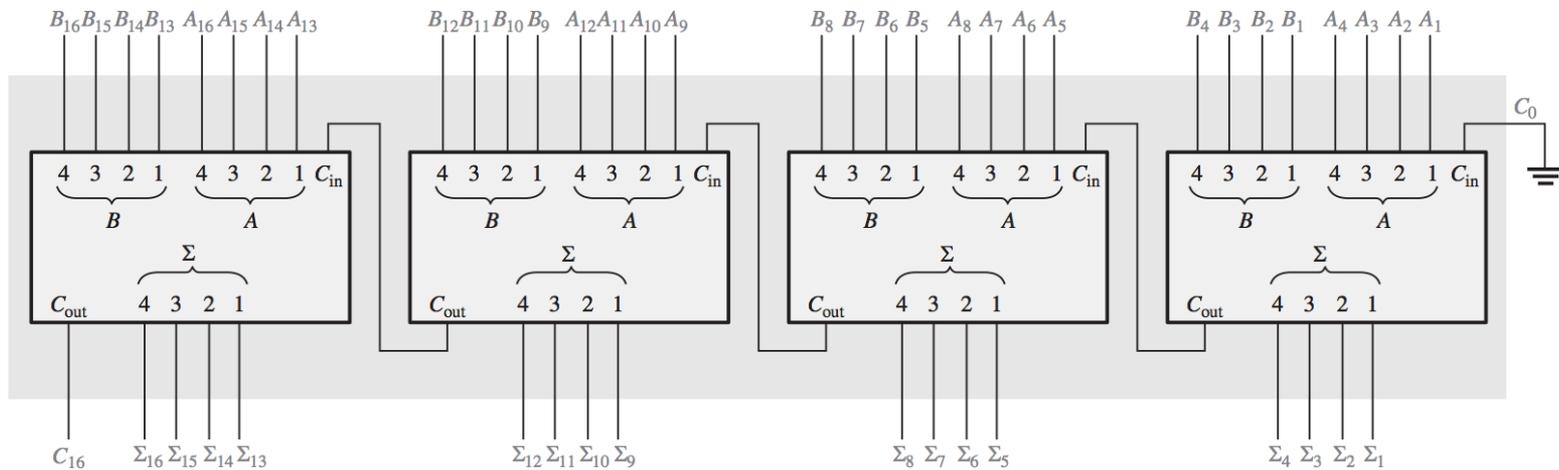
- Determinar la suma generada por el sumador paralelo de tres bits mostrado en la figura.



Sumador de cuatro bits 74LS283

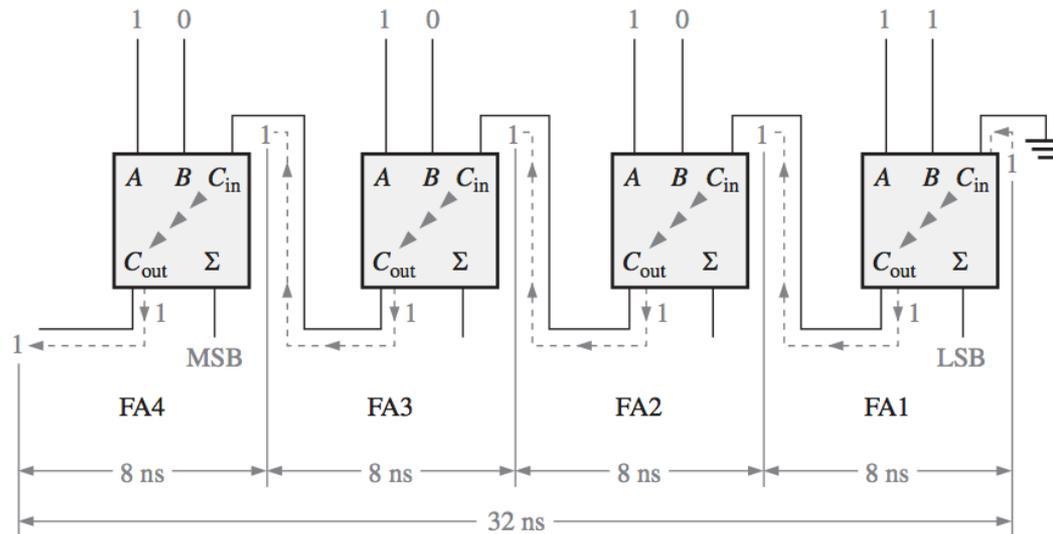


Sumadores de cuatro bits en paralelo



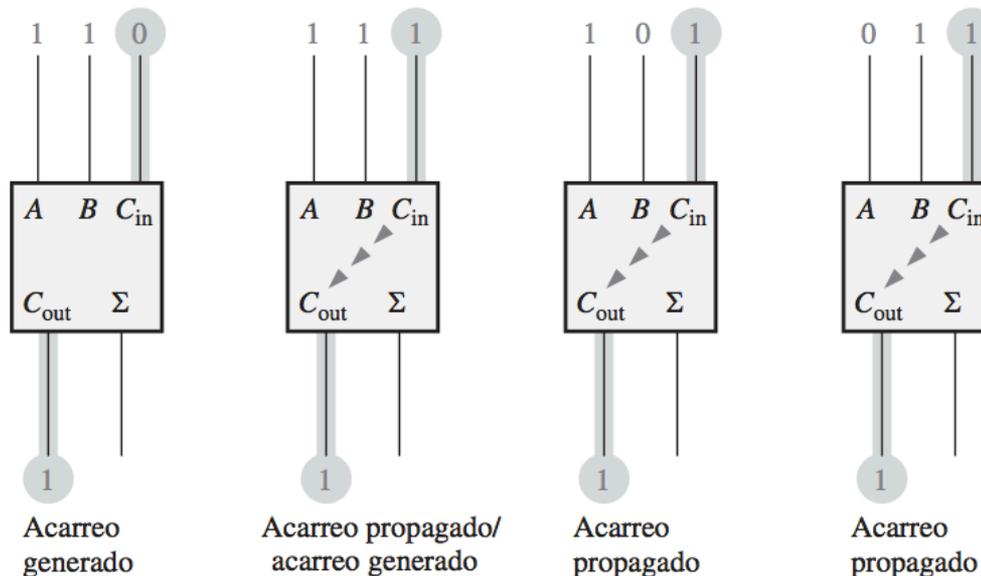
Sumadores con acarreo serie.

- Es aquel en el que la salida de acarreo de cada sumador completo se conecta a la entrada de acarreo de la siguiente etapa de orden inmediatamente superior.



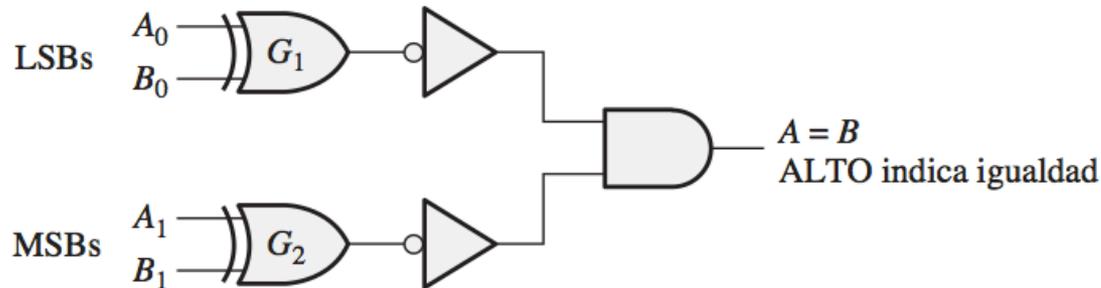
Sumadores con acarreo anticipado.

- Es un método que permite acelerar el proceso de adición eliminando el retardo del acarreo serie. El sumador con acarreo anticipado, anticipa el acarreo de salida de cada etapa.



Comparadores

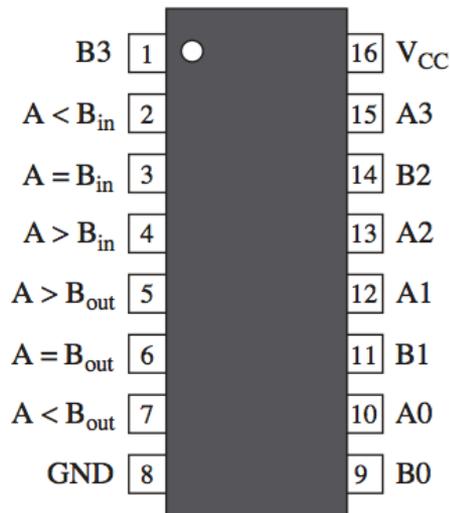
- La función básica de un comparador consiste en comparar las magnitud de dos cantidades binarias para determinar su relación.



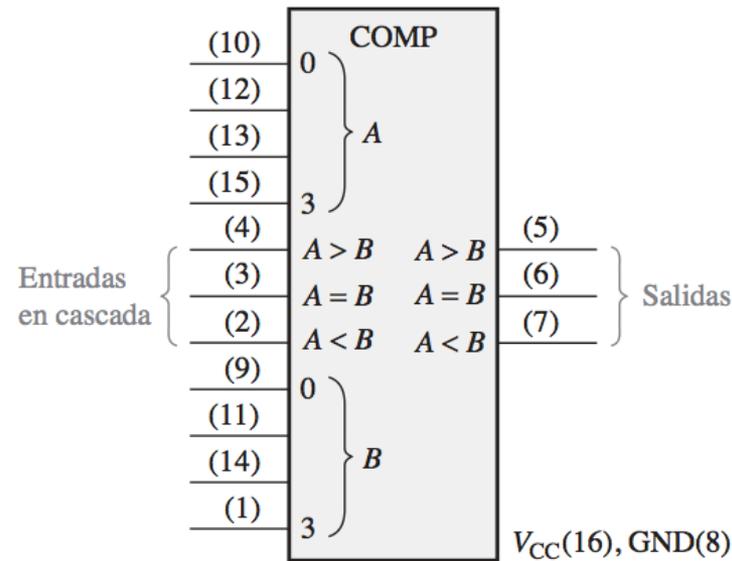
Formato general: Número binario $A \rightarrow A_1A_0$
Número binario $B \rightarrow B_1B_0$

Comparador de 4 bits

- El 74HC85 es un comparador de dos números de 4 bits con tres entradas en cascada $A < B$, $A = B$ y $A > B$. Estas entradas permiten utilizar varios comparadores en cascada.

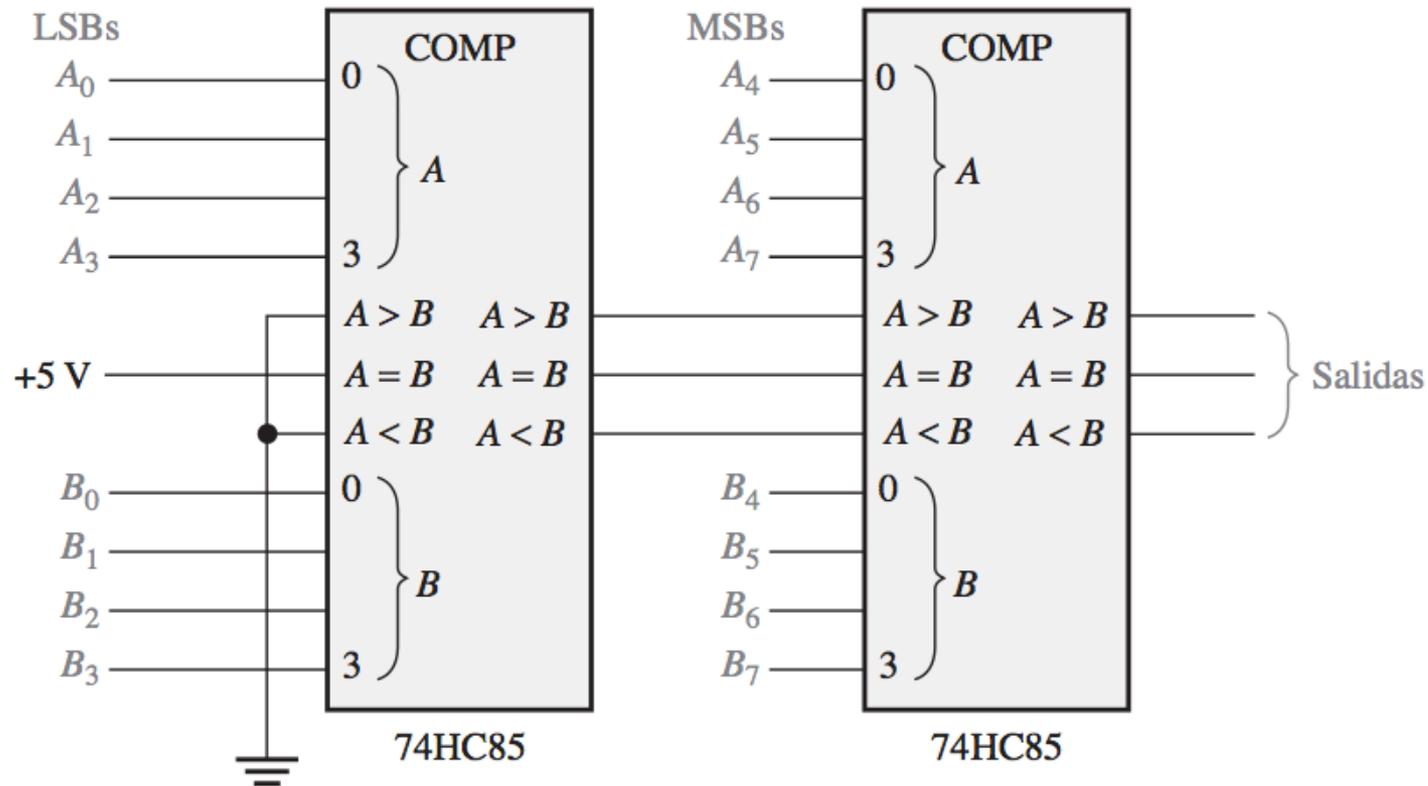


(a) Diagrama de pines



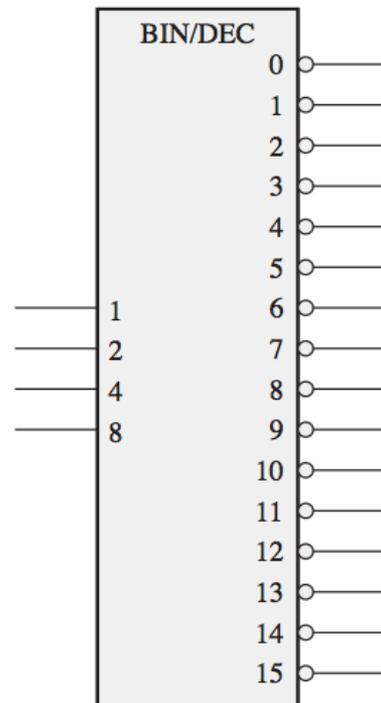
(b) Símbolo lógico

Comparador de 8 bits

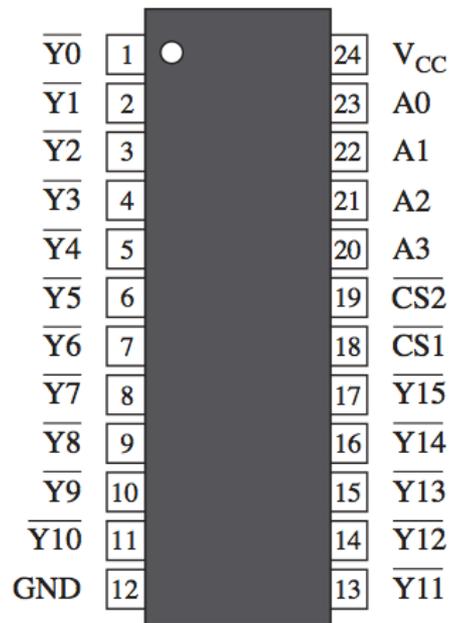


Decodificadores

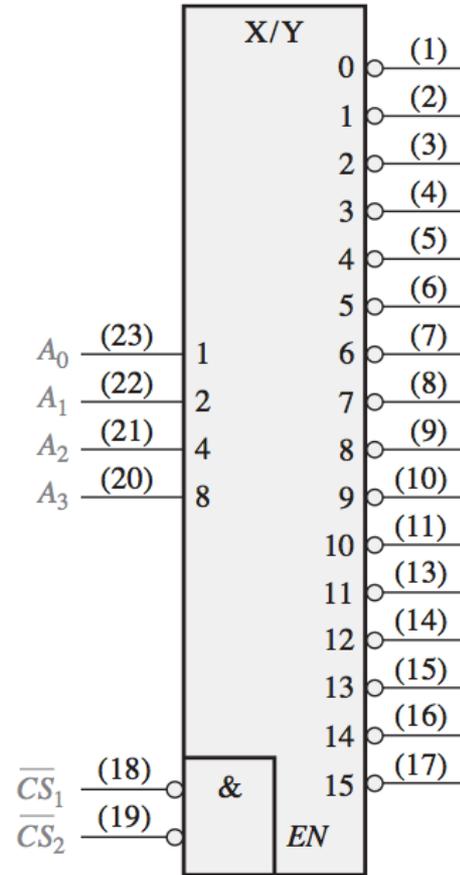
- La función básica de un decodificador es detectar la presencia de una determinada combinación de bits en sus entradas y señalar la presencia de este código mediante un cierto nivel de salida.



Decodificador 78HC154



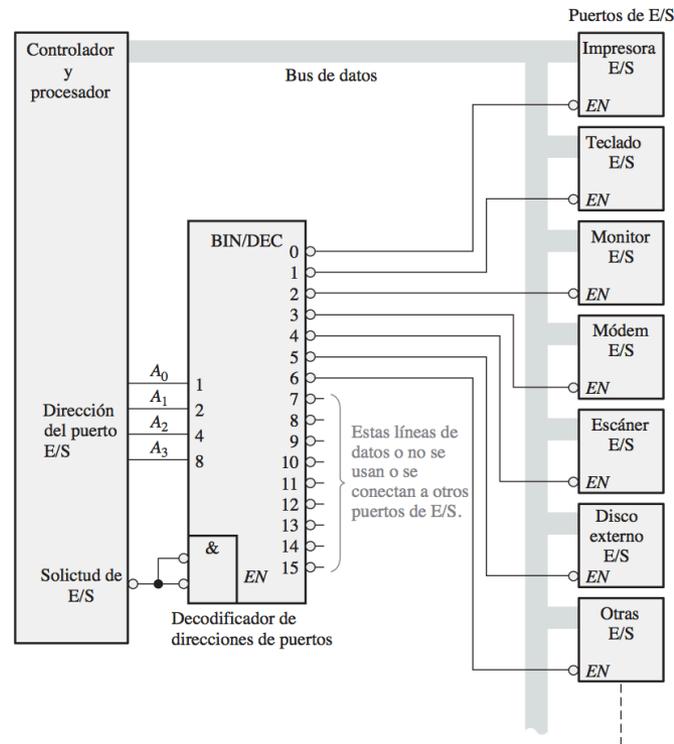
(a) Diagrama de pines



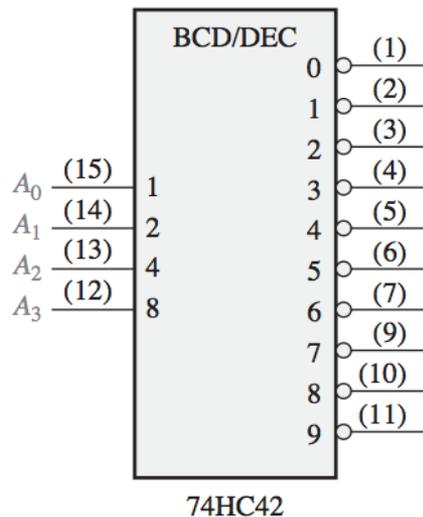
(b) Símbolo lógico

Ejemplo de aplicación de un decodificador.

- Se emplea un decodificador para seleccionar el puerto de E/S determinado por la computadora de modo que los datos puedan ser enviados o recibidos desde algún dispositivo concreto.



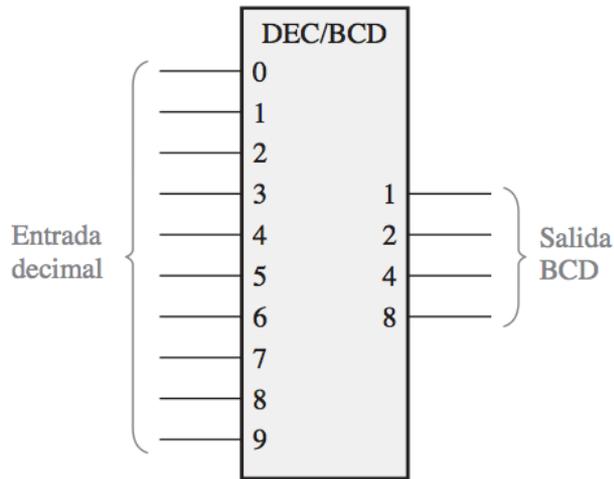
Decodificador BCD a decimal



Dígito decimal	Código BCD				Función de decodificación
	A_3	A_2	A_1	A_0	
0	0	0	0	0	$\bar{A}_3 \bar{A}_2 \bar{A}_1 \bar{A}_0$
1	0	0	0	1	$\bar{A}_3 \bar{A}_2 \bar{A}_1 A_0$
2	0	0	1	0	$\bar{A}_3 \bar{A}_2 A_1 \bar{A}_0$
3	0	0	1	1	$\bar{A}_3 \bar{A}_2 A_1 A_0$
4	0	1	0	0	$\bar{A}_3 A_2 \bar{A}_1 \bar{A}_0$
5	0	1	0	1	$\bar{A}_3 A_2 \bar{A}_1 A_0$
6	0	1	1	0	$\bar{A}_3 A_2 A_1 \bar{A}_0$
7	0	1	1	1	$\bar{A}_3 A_2 A_1 A_0$
8	1	0	0	0	$A_3 \bar{A}_2 \bar{A}_1 \bar{A}_0$
9	1	0	0	1	$A_3 \bar{A}_2 \bar{A}_1 A_0$

Codificadores

- Es un circuito lógico que permite que se introduzca en una de sus entradas un nivel activo que representa un dígito y lo convierte en una salida codificada como BCD o binario.



Dígito decimal	Código BCD			
	A_3	A_2	A_1	A_0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

Codificador decimal BCD

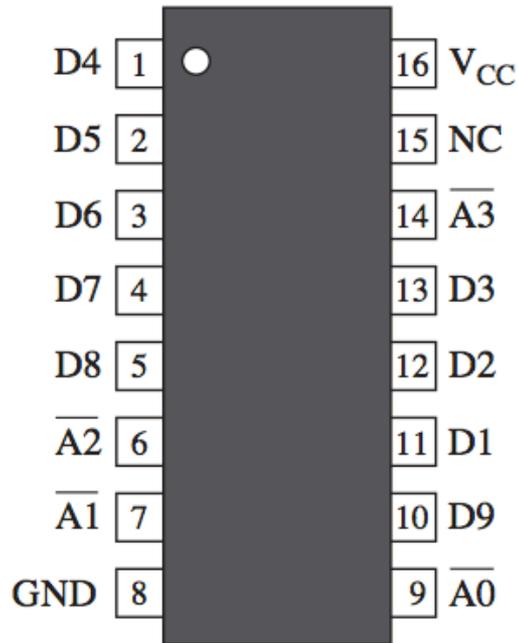


Diagrama de pines

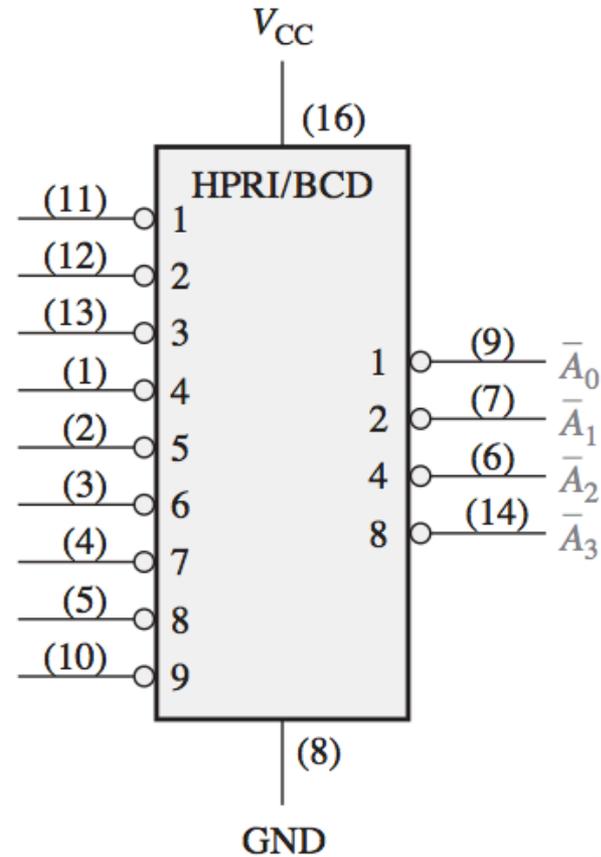
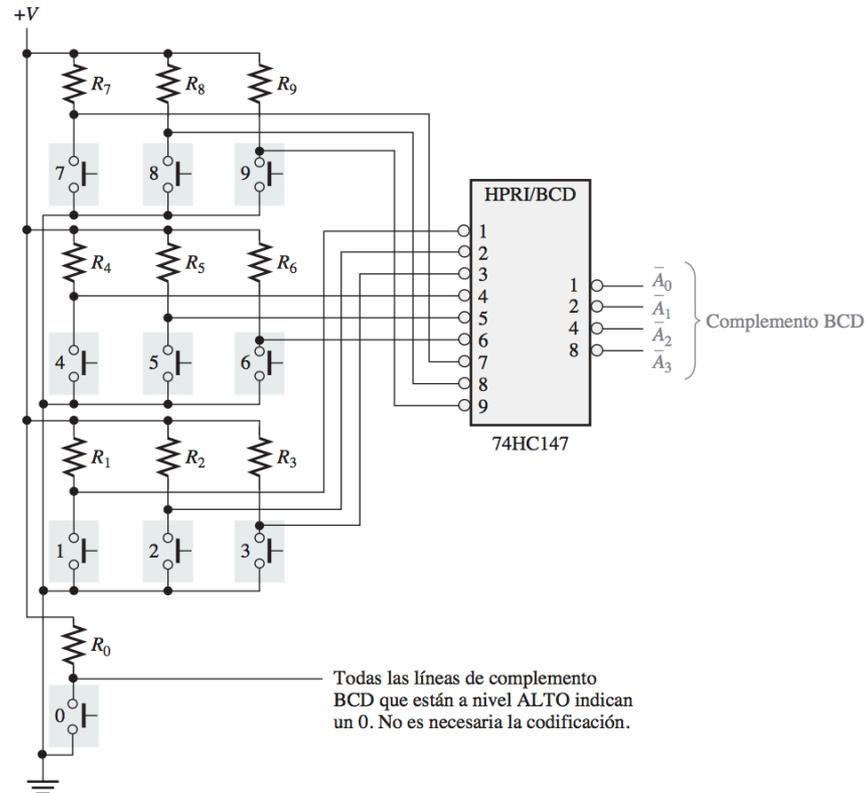


Diagrama lógico

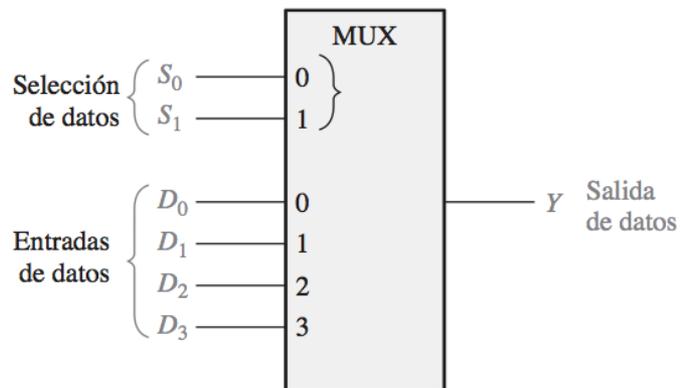
Ejemplo de aplicación de un codificador.

- Los diez dígitos decimales de un teclado de computadora tienen que codificarse en BCD para poder ser procesados por un circuito lógico.



Multiplexores

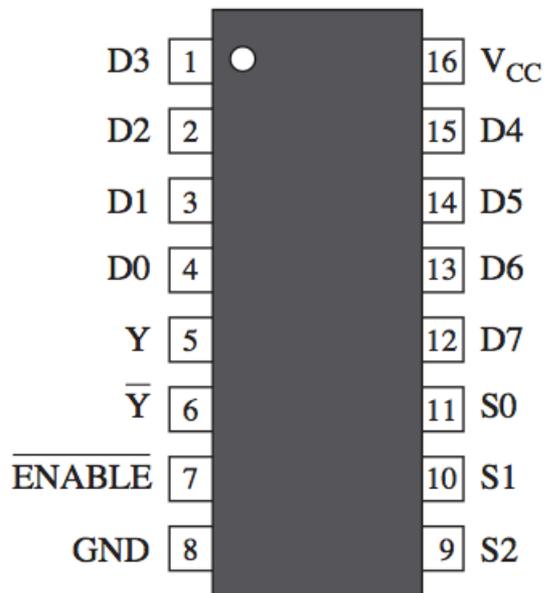
- Un MUX es un dispositivo que permite dirigir la información digital procedente de diversas fuentes a una única línea.



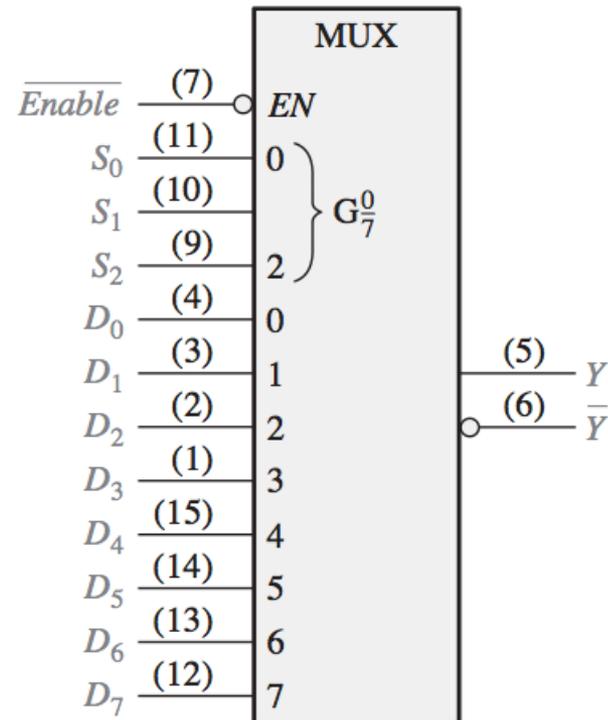
Entradas de selección de datos		Entrada seleccionada
S_1	S_0	
0	0	D_0
0	1	D_1
1	0	D_2
1	1	D_3

Multiplexor 74LS151

- Multiplexor de 8 entradas



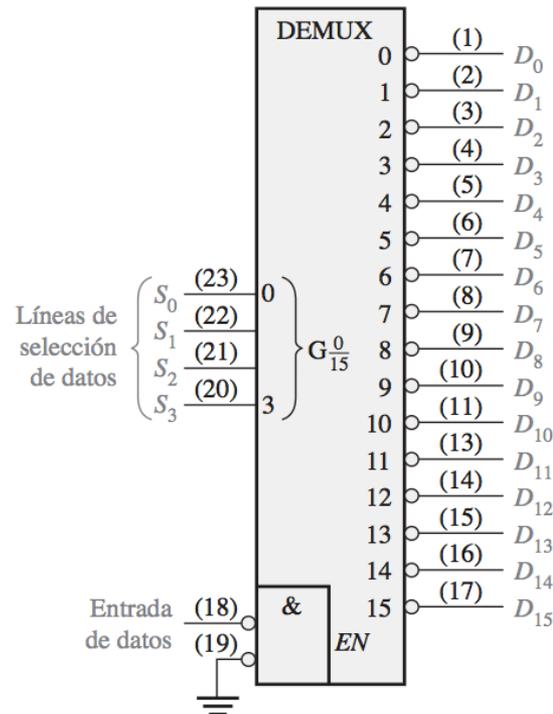
(a) Diagrama de pines



(b) Símbolo lógico

Demultiplexores

- Un demultiplexor toma datos de una línea y los distribuye a un determinado número de líneas de salida.



El decodificador 74HC154 utilizado como demultiplexor.

Conclusiones

- Acarreo serie: Método de suma binaria en que el acarreo de salida de cada sumador se convierte en el acarreo de entrada del sumador siguiente.
- Conexión en cascada: Conectar la salida de un dispositivo a la entrada de un dispositivo similar, permitiendo a uno de los dispositivos excitar a otro.
- Codificador: Circuito que convierte la información a un formato codificado.
- Codificador con prioridad: Codificador en el que solo se codifica el dígito de entrada de valor más alto, ignorando cualquier otra entrada activa.
- Decodificador: Circuito digital que convierte la información codificada en otro formato más familiar.

Conclusiones

- Demultiplexor: Circuito que conmuta los datos digitales desde una línea de entrada a varias líneas de salida según una secuencia temporal específica.
- Multiplexor: Circuito que conmuta los datos digitales de distintas líneas de entrada a una única de salida.
- Semisumador: Circuito digital que suma dos bits y genera una suma y un acarreo de salida. No puede manipular acarreos de entrada.
- Sumador completo: Circuito digital que suma dos bits y un acarreo de entrada para producir una suma y un acarreo de salida.

Referencias

1. Tocci R. J. (2007) Sistemas Digitales: Principios y Aplicaciones. (10ª Edición). México: Pearson Education.
2. Morris M. M. (2003) Diseño digital. (3ª Edición). México: Pearson Education.
3. Floyd, T.L. (2007) Fundamentos de sistemas Digitales. (9ª Edición). Madrid: Pearson Education.
4. Acha, A. S.(2010) Electrónica digital lógica digital integrada. (2ª Edición).México: Alfaomega Grupo Editor.
5. Garza, G. J.(2006) Sistemas digitales y electrónica digital.(1ª Edición).México: Pearson Education.
6. Morris M. M. (2007) Fundamentos de diseño lógico y de computadoras. (3ª Edición).Madrid: Pearson Education.