



**Universidad Autónoma del Estado de México**

Centro Universitario UAEM Zumpango

# Ingeniería en Computación

## Lógica Secuencial y Combinatoria

Dr. Arturo Redondo Galván





Universidad Autónoma del Estado de México

Centro Universitario UAEM Zumpango

# LÓGICA SECUENCIAL Y COMBINATORIA

## UNIDAD V

## Lógica Combinatoria





**Universidad Autónoma del Estado de México**

Centro Universitario UAEM Zumpango

## OBJETIVOS:

- Analizar y diseñar de manera eficiente, sistemas lógicos modulares, tales que permitan el desarrollo de proyectos electrónicos aplicando la tecnología computacional, los dispositivos electrónicos y sistemas de tipo comercial y de vanguardia para resolver problemas propios de su ámbito profesional.





Universidad Autónoma del Estado de México

Centro Universitario UAEM Zumpango

## INTRODUCCIÓN (1/2)

- Los circuitos lógicos se dividen en **combinacionales** y **secuenciales**.
- Los circuitos combinacionales son aquellos cuya **salida depende únicamente de la combinación presente en las entradas**.
- Un circuito combinacional consiste en **variables de entrada, compuertas lógicas y variables de salida**.
- En los circuitos secuenciales las salidas **dependen de las entradas y del estado que guarde el circuito**, es decir, depende también de los elementos de almacenamiento.

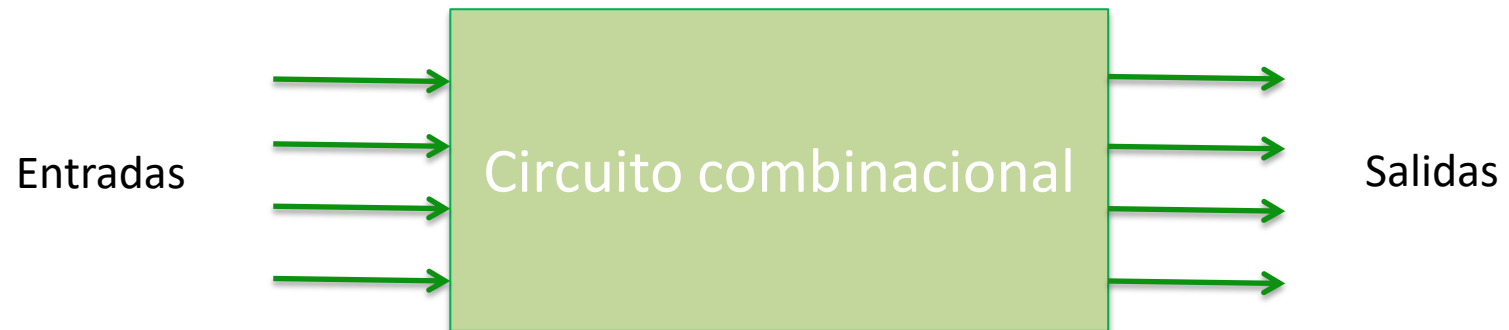




**Universidad Autónoma del Estado de México**

Centro Universitario UAEM Zumpango

## INTRODUCCIÓN (2/2)





Universidad Autónoma del Estado de México

Centro Universitario UAEM Zumpango

## PROCEDIMIENTO DE ANÁLISIS (1/8)

- El análisis de un circuito combinacional implica **determinar la función que realiza el circuito.**
- El primer paso consiste en asegurarse que el circuito sea combinacional, es decir, que este **formado por compuertas lógicas** sin trayectorias de retroalimentación, ni elementos de memoria.





**Universidad Autónoma del Estado de México**

Centro Universitario UAEM Zumpango

## PROCEDIMIENTO DE ANÁLISIS (2/8)

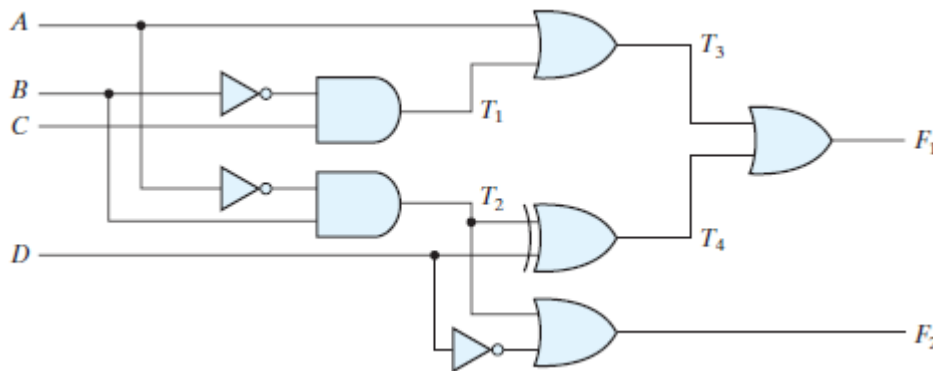
1. Rotule las salidas de las compuertas que están en función de las variables de entrada. Obtenga la función de salida de cada compuerta.
2. Repita el paso anterior para las compuertas que dependan de los rótulos anteriores.
3. Realice las sustituciones de las funciones previamente definidas del tal manera que la función de salida dependa únicamente de las entradas.





## PROCEDIMIENTO DE ANÁLISIS (3/8)

Ejemplo: obtener las funciones de salida del siguiente circuito.



$$T_1 = B' C$$

$$T_2 = A' B$$

$$T_3 = A + T_1 = A + B' C$$

$$T_4 = T_2 \oplus D = T_2 D' + T_2' D$$

$$T_4 = (A' B) D' + (A' B)' D$$

$$T_4 = A' B D' + (A + B') D$$

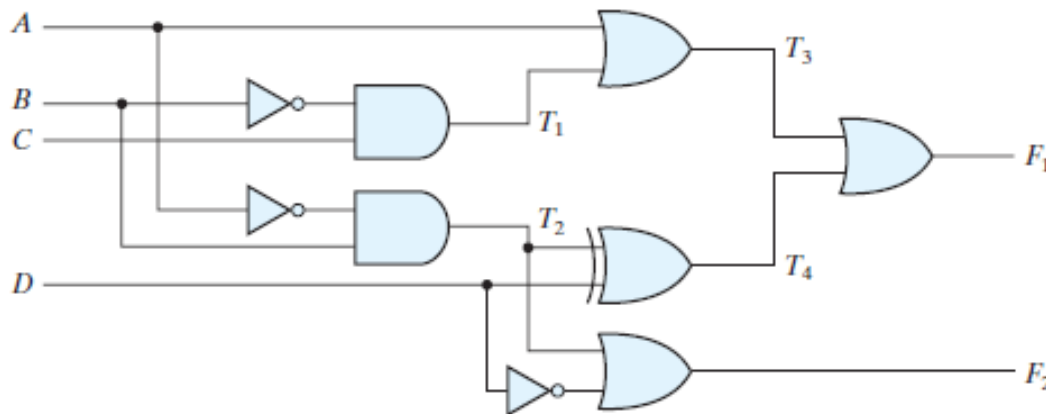






## PROCEDIMIENTO DE ANÁLISIS (4/8)

Ejemplo: obtener las funciones de salida del siguiente circuito.



$$F_1 = T_3 + T_4 = A + B'C + (A'BD' + (A + B')D) = A + B'C + A'BD' + AD + B'D$$

$$F_1 = A + BD' + B'C + B'D$$

$$F_2 = T_2 + D' = A'B + D'$$



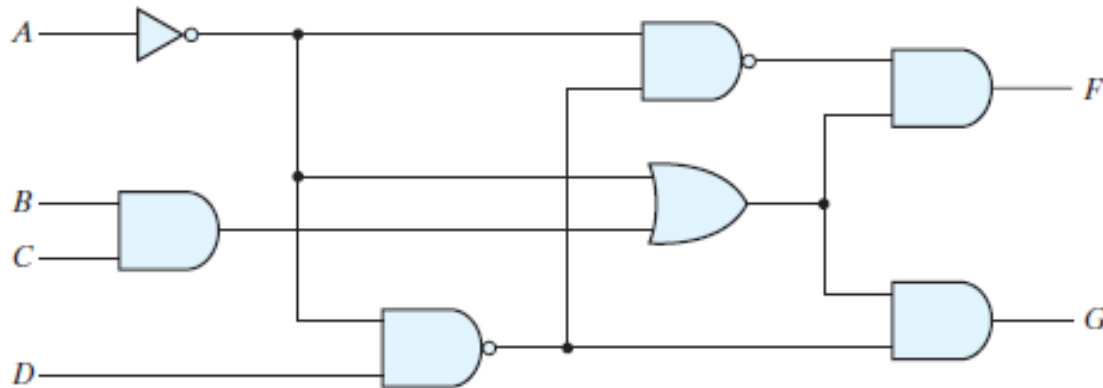


Universidad Autónoma del Estado de México

Centro Universitario UAEM Zumpango

## PROCEDIMIENTO DE ANÁLISIS (5/8)

Ejercicio: obtener las funciones de salida del siguiente circuito.





**Universidad Autónoma del Estado de México**

Centro Universitario UAEM Zumpango

## PROCEDIMIENTO DE ANÁLISIS (6/8)

Para obtener la tabla de verdad es debe el siguiente procedimiento:

1. Realizar las  $2^n$  combinaciones de las  $n$  variables de entrada.
2. Rotular las salidas de las compuertas.
3. Obtener las salida de cada función rotulada.
4. Obtener la salida del circuito.





Universidad Autónoma del Estado de México

Centro Universitario UAEM Zumpango

## PROCEDIMIENTO DE ANÁLISIS (7/8)

Ejemplo: obtener la tabla de verdad del ejemplo anterior.

A	B	C	D	T <sub>1</sub>	T <sub>2</sub>	T <sub>3</sub>	T <sub>4</sub>	F <sub>1</sub>	F <sub>2</sub>
0	0	0	0	0	0	0	0	0	1
0	0	0	1	0	0	0	1	1	0
0	0	1	0	1	0	1	0	1	1
0	0	1	1	1	0	1	1	1	0
0	1	0	0	0	1	0	1	1	1
0	1	0	1	0	1	0	0	0	1
0	1	1	0	0	1	0	1	1	1
0	1	1	1	0	1	0	0	0	1
1	0	0	0	0	0	1	0	1	1
1	0	0	1	0	0	1	1	1	0
1	0	1	0	1	0	1	0	1	1
1	0	1	1	1	0	1	1	1	0
1	1	0	0	0	0	1	0	1	1
1	1	0	1	0	0	1	1	1	0
1	1	1	0	0	0	1	0	1	1
1	1	1	1	0	0	1	1	1	0



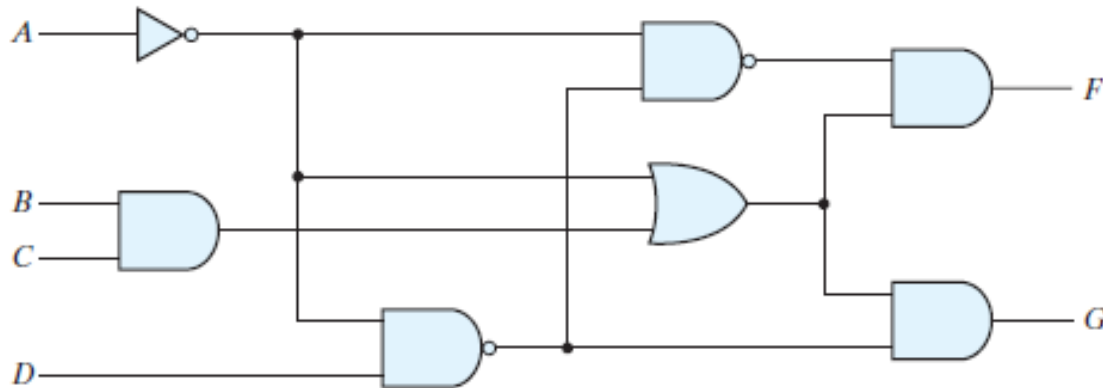


**Universidad Autónoma del Estado de México**

Centro Universitario UAEM Zumpango

## PROCEDIMIENTO DE ANÁLISIS (8/8)

Ejercicio: obtener la tabla de verdad del siguiente circuito.





Universidad Autónoma del Estado de México

Centro Universitario UAEM Zumpango

## PROCEDIMIENTO DE DISEÑO (1/10)

- El diseño de un circuito combinacional inicia con la **especificación del problema** y finaliza con el **diagrama lógico** del circuito.
- Para realizar el diagrama lógico es necesario obtener previamente las **funciones de salida** del circuito lógico.





**Universidad Autónoma del Estado de México**

Centro Universitario UAEM Zumpango

## PROCEDIMIENTO DE DISEÑO (2/10)

1. Deducir el numero de entradas y salidas.
2. Obtener la tabla de verdad.
3. Deducir las funciones de salida simplificadas.
4. Dibujar el diagrama lógico.





## PROCEDIMIENTO DE DISEÑO (3/10)

Ejemplo: diseñar un medio sumador. El circuito realiza la suma de dos bits de entrada.

1. El circuito necesita dos bits de entrada y dos bits de salida. Las variables de entrada son  $x$ ,  $y$  y las variables de salida  $S$  (suma) y  $C$  (acarreo).
2. Obtenemos la tabla de verdad.

$x$	$y$	$C$	$S$
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	1







Universidad Autónoma del Estado de México

Centro Universitario UAEM Zumpango

## PROCEDIMIENTO DE DISEÑO (4/10)

Ejemplo: diseñar un medio sumador. El circuito realiza la suma de dos bits de entrada.

3. De la tabla de verdad se obtienen directamente las funciones de salida o utilizando mapas de Karnaugh.

$$s = x' y + xy'$$

$$c = xy$$





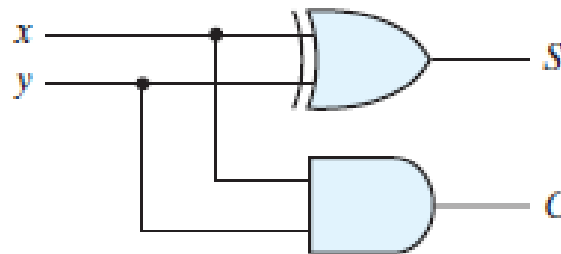
Universidad Autónoma del Estado de México

Centro Universitario UAEM Zumpango

## PROCEDIMIENTO DE DISEÑO (5/10)

Ejemplo: diseñar un medio sumador. El circuito realiza la suma de dos bits de entrada.

4. De las funciones obtenemos el diagrama lógico.





## PROCEDIMIENTO DE DISEÑO (6/10)

Ejemplo: diseñar un medio sumador completo. El circuito realiza la suma de tres bits de entrada.

1. El circuito necesita tres bits de entrada y dos bits de salida. Las variables de entrada son  $x$ ,  $y$  y  $z$  y las variables de salida  $S$  (suma) y  $C$  (acarreo).  $z$  representa el acarreo de la posición más significativa inmediata anterior.
2. Obtenemos la tabla de verdad.

$x$	$y$	$z$	$C$	$S$
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1





## PROCEDIMIENTO DE DISEÑO (7/10)

Ejemplo: diseñar un medio sumador completo. El circuito realiza la suma de tres bits de entrada.

- De la tabla de verdad se obtienen las funciones de salida utilizando mapas de Karnaugh.

		y			
		00	01	11	10
x	0	$m_0$	1	$m_3$	$m_2$ 1
	1	$m_4$ 1	$m_5$	$m_7$ 1	$m_6$

$$S = x' y' z + x' yz' + xy' z' + xyz$$

$$S = (x' y + xy')z' + (x' y' + xy)z$$

$$S = (x' y + xy')z' + (x' y + xy')' z$$

$$S = x \oplus y \oplus z$$





## PROCEDIMIENTO DE DISEÑO (8/10)

Ejemplo: diseñar un medio sumador completo. El circuito realiza la suma de tres bits de entrada.

3. De la tabla de verdad se obtienen las funciones de salida utilizando mapas de Karnaugh.

		y			
		00	01	11	10
x	0	$m_0$	$m_1$	$m_3$ 1	$m_2$
	1	$m_4$	$m_5$ 1	$m_7$ 1	$m_6$ 1

$$C = xy + xz + yz$$

$$C = (xy' + x'y)z + xy$$

$$C = (x \oplus y)z + xy$$

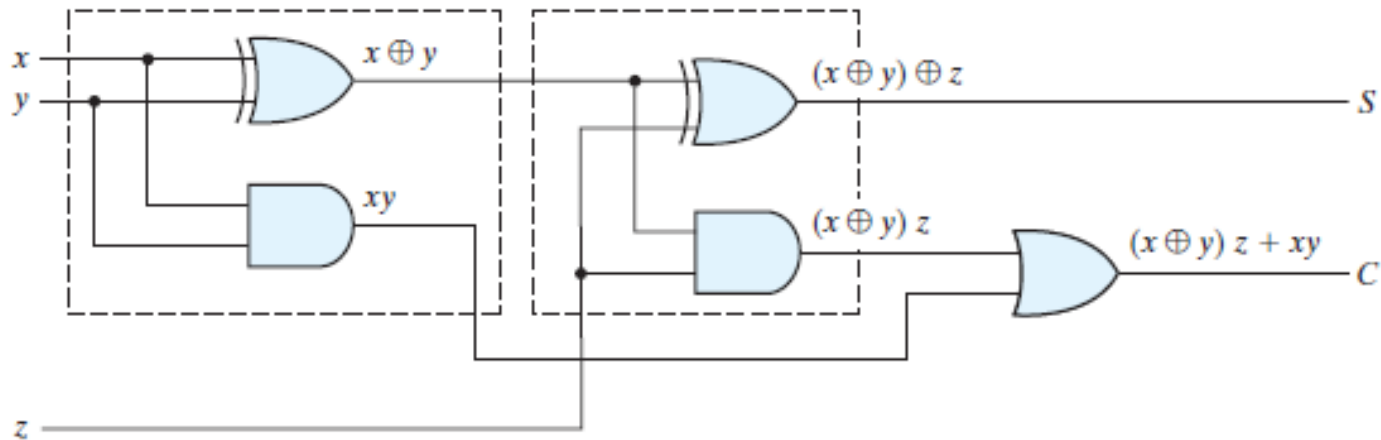




## PROCEDIMIENTO DE DISEÑO (9/10)

Ejemplo: diseñar un medio sumador completo. El circuito realiza la suma de tres bits de entrada.

4. De las funciones obtenemos el diagrama lógico.





**Universidad Autónoma del Estado de México**

Centro Universitario UAEM Zumpango

## PROCEDIMIENTO DE DISEÑO (10/10)

Ejercicio 1: diseñar un medio restador. El circuito realiza la diferencia de dos bits de entrada.

Ejercicio 2: diseñar un restador completo. El circuito realiza la diferencia de dos bits de entrada, tomando en cuenta que un 1 se ha tomado de la etapa significativa más baja.





Universidad Autónoma del Estado de México

Centro Universitario UAEM Zumpango

## SUMADOR BINARIO (1/2)

- El **sumado binario** es un circuito combinacional que **realiza la suma de dos números binarios**.
- El circuito es posible construirlo por medio de **sumadores completos conectados en cascada**.
- El **acarreo de salida** de cada sumador completo se **conecta** al **acarreo de entrada** del siguiente sumador.



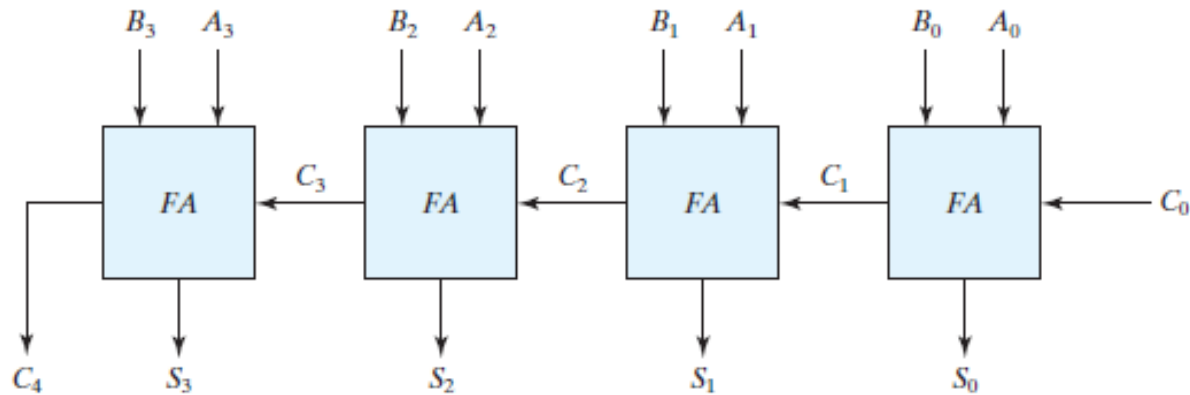




Universidad Autónoma del Estado de México

Centro Universitario UAEM Zumpango

## SUMADOR BINARIO (2/2)





Universidad Autónoma del Estado de México

Centro Universitario UAEM Zumpango

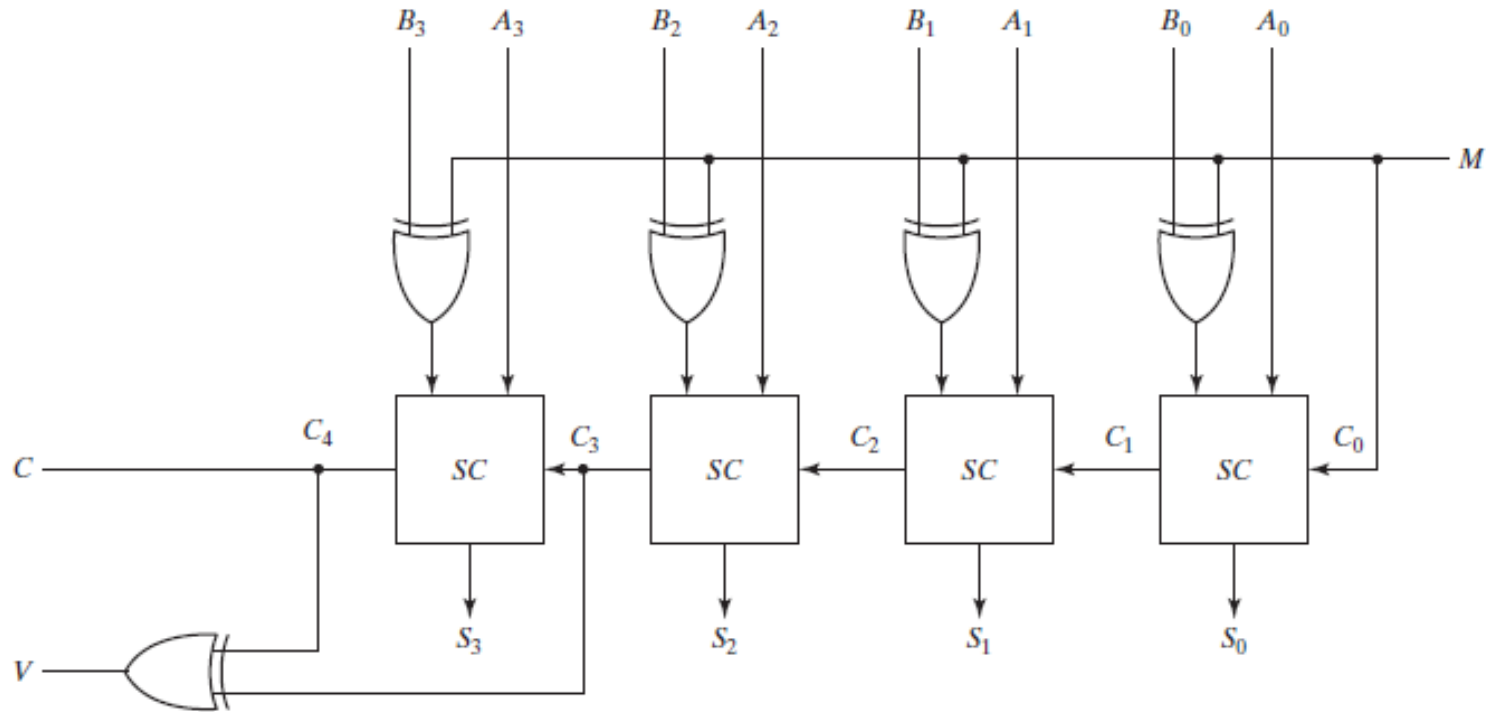
## RESTADOR BINARIO (1/2)

- El **restador binario** es un circuito combinacional que **realiza la resta de dos números binarios**.
- El circuito también es posible construirlo por medio de **sumadores completos conectados en cascada**, únicamente se complementa la entrada x.
- El **acarreo de salida** de cada sumador completo se **conecta** al **acarreo de entrada** del siguiente sumador.





## RESTADOR BINARIO (2/2)





Universidad Autónoma del Estado de México

Centro Universitario UAEM Zumpango

## COMPARADOR DE MAGNITUD (1/4)

- El **comparador de magnitud** es un circuito combinacional que **compara dos números binarios A y B** y determina sus magnitudes relativas
- El circuito cuenta con tres salidas:  **$A > B$ ,  $A < B$  y  $A = B$ .**
- El circuito para comparar dos números de  **$n$  bits** tiene  **$2^{2n}$  combinaciones.**





## COMPARADOR DE MAGNITUD (2/4)

$$A = A_3A_2A_1A_0 \quad \text{si } x_i = A_iB_i + A_i'B_i', \text{ para } i = 0, 1, 2, 3$$

$$B = B_3B_2B_1B_0$$

- Los números son **iguales** cuando:

$$A_3 = B_3, A_2 = B_2, A_1 = B_1 \text{ y } A_0 = B_0$$

$$A = B = x_3x_2x_1x_0$$

- **A > B**, cuando:

$$A > B = A_3B_3' + x_3A_2B_2' + x_3x_2A_1B_1' + x_3x_2x_1A_0B_0'$$





Universidad Autónoma del Estado de México

Centro Universitario UAEM Zumpango

## COMPARADOR DE MAGNITUD (3/4)

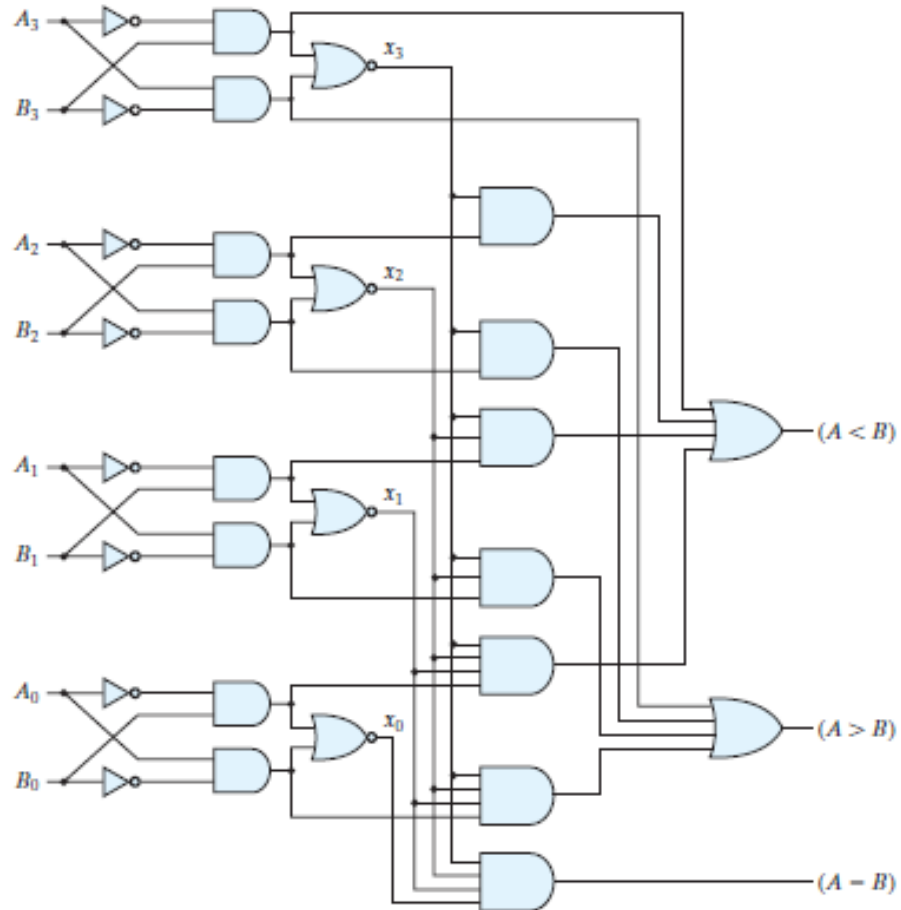
- $A < B$ , cuando:

$$A < B = A'_3 B_3 + x_3 A'_2 B_2 + x_3 x_2 A'_1 B_1 + x_3 x_2 x_1 A'_0 B_0$$





## COMPARADOR DE MAGNITUD (4/4)





**Universidad Autónoma del Estado de México**

Centro Universitario UAEM Zumpango

## REFERENCIAS (1/2)

1. Mandado, Enrique *“Sistemas electrónicos digitales” 7ª Edición Ed. Marcombo (1992) Barcelona ISBN 8426711707.*
2. Morris, M. Mano *“Diseño digital” Ed. Prentice Hall (2003) México ISBN 9702604389.*
3. Tocci, Ronald J; Widmer, Noel S. *“Sistemas digitales, principios y aplicaciones” Ed. Pearson Educación de México (2003) México 8ª Edición ISBN 9702602971.*
4. Hill, Frederick J.; Peterson, Gerald R. *“Introduction to switching theory and logical design” Ed. John Wiley & sons (1981) New York 3ª Edición ISBN 0471042730.*







**Universidad Autónoma del Estado de México**

Centro Universitario UAEM Zumpango

## REFERENCIAS (2/2)

5. Téllez, G.R. *“Notas para el curso de circuitos lógicos” Vol. 1 Impresos Instituto Politécnico Nacional (1990) México.*
6. García Guerra, Hugo *“Diseño computacional de circuitos lógicos” Instituto tecnológico de la ciudad de Madero (1995).*
7. Motorota; Texas Instruments; Nacional Semiconductor *“Manual de circuitos integrados digitales. Familia TTL”.*

